

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-132994

(43)Date of publication of application : 12.05.2000

(51)Int.Cl.

G11C 29/00
G11C 11/413
G11C 11/407
G11C 11/401

(21)Application number : 10-307010

(71)Applicant : HITACHI LTD
HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 28.10.1998

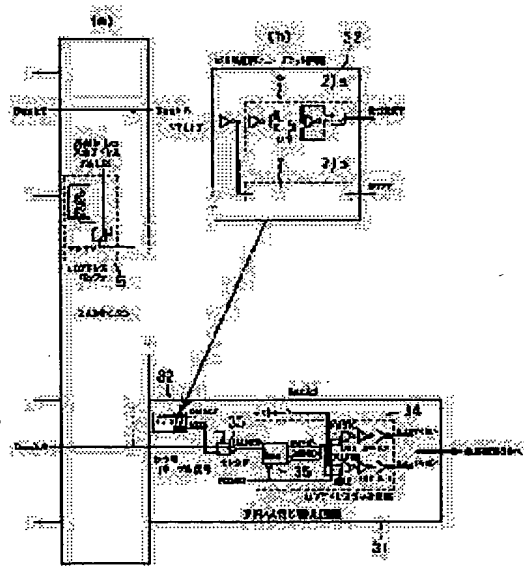
(72)Inventor : NAKAMURA MASAYUKI
TANAKA YOSUKE
WADA SHOJI
KAJITANI KAZUHIKO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory which can vary an effective capacity by one chip without lowering a relief efficiency.

SOLUTION: In a 4-bank 256M/128M compatible SDRAM, an address switching circuit 31 connected between a row address buffer 5 and a relief circuit 22 includes a fuse set circuit 32 to conform to 128M, a selector 33 for selecting either an output signal R12T of the fuse set circuit or a row address signal RADT<12>, a row address latch circuit 34 connected to the selector 33, and the like. Based on an output row address signal RABT<12>, RATT<12> of the address-switching circuit 31, a bit line direction of each of memory array banks Bank0-Bank3 is divided to 1/2, 1/4 or the like, and a normally operating memory mat is fixed optionally, so that 256M can be converted to 128M.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-132994
(P2000-132994A)

(43) 公開日 平成12年5月12日 (2000.5.12)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
G 1 1 C 29/00	6 0 5	G 1 1 C 29/00	6 0 5 D 5 B 0 1 5
11/413		11/34	3 4 1 C 5 B 0 2 4
11/407			3 6 2 S 5 L 1 0 6
11/401			3 6 2 H
			3 7 1 D

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願平10-307010

(22) 出願日 平成10年10月28日 (1998. 10. 28)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 中村 正行

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

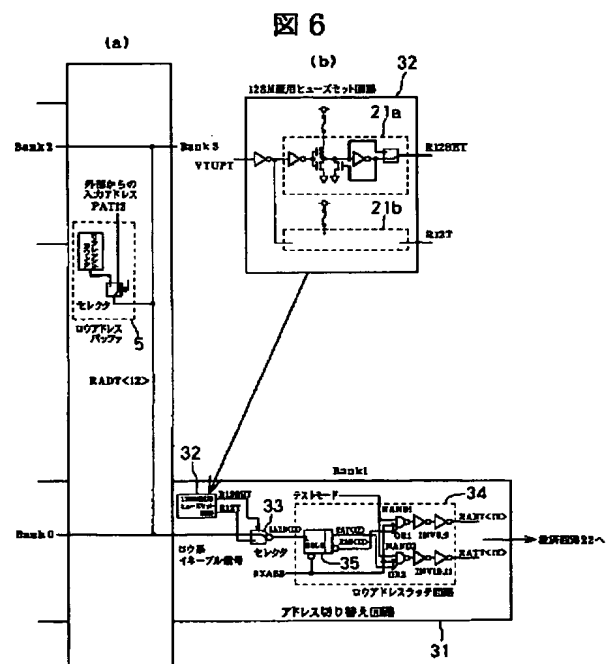
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 救済効率を落とすことなく、1チップで実効的な容量を変換することができる半導体記憶装置を提供する。

【解決手段】 4バンク256M/128M互換のSD RAMであって、ロウアドレスバッファ5と救済回路22との間に接続されるアドレス切り替え回路31として、128M対応版用のヒューズセット回路32と、この出力信号R12Tとロウアドレス信号RADT<12>とのどちらかを選択するセクタ33と、これに接続されるロウアドレスラッチ回路34などを有し、このアドレス切り替え回路31のロウアドレス信号RABT<12>、RATT<12>の出力に基づいて、各メモリアレイバンクBank0~Bank3のビット線方向を1/2、1/4などに分割して通常動作するメモリマツトを任意に固定し、256Mから128Mへの変換を行うことができる。



【特許請求の範囲】

【請求項 1】 分割された複数のメモリマットと、この複数のメモリマットのうち動作可能状態とするメモリマットを選択するアドレス切り替え回路と、この選択されたメモリマット内の不良ビットを非選択のメモリマット内の冗長ビットに置換して救済する救済回路とを含み、通常動作するメモリマットを固定し、救済するメモリマットは非固定とすることを特徴とする半導体記憶装置。

【請求項 2】 請求項 1 記載の半導体記憶装置であって、前記複数のメモリマットはバンク単位からなり、このバンク内で独立に制御可能となっていることを特徴とする半導体記憶装置。

【請求項 3】 請求項 2 記載の半導体記憶装置であって、前記バンク内において、動作可能状態とするメモリマットを選択するビット線方向の分割単位を変更可能とすることを特徴とする半導体記憶装置。

【請求項 4】 請求項 1 記載の半導体記憶装置であって、前記アドレス切り替え回路は、予め切断可能なヒューズを含み、このヒューズの切断に対応して動作可能状態とするメモリマットを選択することを特徴とする半導体記憶装置。

【請求項 5】 請求項 1、2、3 または 4 記載の半導体記憶装置であって、前記動作可能状態とするメモリマットの選択は、容量に対応して設定可能とすることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置の互換技術に関し、特に同一チップから複数の容量・語構成の製品を生産することが可能な半導体記憶装置に適用して有効な技術に関する。

【0002】

【従来の技術】たとえば、本発明者が検討した技術として、半導体記憶装置の一例としての DRAM においては、64M から 256M への開発が進む一方で、ユーザの要求などに対応して 128MDRAM のモノシリク品（単体）が標準化され、現状では 128MDRAM、または 64MDRAM の積層にて対応している。すなわち、128MDRAM として、1 製品を開発・製品化したり、もしくは 64MDRAM を積層パッケージにして、128MDRAM の製品を生産する技術などが考えられる。

【0003】なお、このような DRAM などの半導体記憶装置に関する技術としては、たとえば 1994 年 11 月 5 日、株式会社 培風館 発行の「アドバンスド エレクトロニクス ■-9 超 LSI メモリ」に記載される技術などが挙げられる。

【0004】

【発明が解決しようとする課題】ところで、前記のような DRAM において、128MDRAM では、専用のマ

スク／後工程治工具を必要として 128MDRAM を生産する必要があり、開発コスト、生産数の予測、製造コストが 128M 単独で発生してしまう。一方、64M の積層は、製造コストが高く、2 チップ分の消費電力が必要となることなどが考えられる。

【0005】そこで、本発明者は、128M とこの 2 倍の容量の 256M とに着目し、256MDRAM において、同一チップで 128MDRAM の製品が作れないか検討した。以下において、本発明者が検討した内容を図 7、図 8 を用いて説明する。図 7 は 256M シンクロナス DRAM (SDRAM) パッケージのピン配置 (×4)、図 8 は 128MSDRAM パッケージのピン配置 (×4、×8、×16) のそれぞれ一例 (54 ピン-T SOP) を示す図である。

【0006】図 7 の 256MSDRAM パッケージと、図 8 の 128MSDRAM パッケージとを比較すると、パッケージサイズは全く同じであり、ピンアドレスも 256M において A12 となっているピンが、128M では NC となっている以外は同じ配置となっている。

【0007】また、リフレッシュサイクルも 64ms と同じであり、リフレッシュカウントは 256M では 8K、128M では 4K であることから、リフレッシュ時に活性化されるビット数は 32K (ワード線長) で同じ、 $32K \times 8K = 256M$ 、 $4K \times 32K = 128M$ である。

【0008】たとえば、4 バンク構成の 256MSDRAM と 128MSDRAM とを考えた場合に、異なる点は各バンクのロウサイズ (256M: 8192、128M: 4096) のみであり、それ以外はバンク、カラム構成とも同じである。つまり、ロウアドレス発生部のみ変更できれば、256M、128M とは同一構成であることが判る。

【0009】また、特開平 5-217397 号公報には、256M/128M などの容量に影響するメモリマット単位の救済技術として、救済不可能な欠陥ビットを含む半導体集積回路をメモリマット単位で救済し、救済するメモリマットを固定する技術が開示されているが、通常動作するメモリマットを固定するとともに救済するメモリマットは非固定とする技術ではない。

【0010】そこで、本発明の目的は、救済方式などの大幅な回路変更を伴わずに、専用のアドレス切り替え回路を有することにより、通常動作するメモリマットを固定するとともに救済するメモリマットは非固定として、256M/128M などのように、救済効率を落とすことなく、1 チップで実効的な容量を可変することができる半導体記憶装置を提供するものである。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

3

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】すなわち、本発明による半導体記憶装置は、救済回路の前段に、分割された複数のメモリマットのうち動作可能状態とするメモリマットを選択する専用のアドレス切り替え回路を有することにより、1チップで256MDRAMと128MDRAMなどのように切り替えを可能とするものである。

【0014】この通常動作するメモリマットを固定し、救済するメモリマットは非固定とする構成において、複数のメモリマットをバンク単位とし、このバンク内で独立に制御できるようにし、さらにバンク内において、動作可能状態とするメモリマットを選択するビット線方向の分割単位を変更できるようにしたものである。

【0015】また、アドレス切り替え回路は、予め切断可能なヒューズを含み、このヒューズの切断に対応して動作可能状態とするメモリマットを選択し、さらにこの動作可能状態とするメモリマットの選択を、容量に対応して設定できるようにしたものである。

【0016】よって、前記半導体記憶装置によれば、256M/128Mなどのように、救済効率を落とすことなく、1チップで実効的な容量を可変することができ、同一チップから複数の容量・語構成の製品を生産することができる。この結果、開発、製造コストの低減、および小容量品としての救済効率向上による歩留まりを向上させることができる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0018】図1は本発明の一実施の形態である半導体記憶装置を示すブロック図、図2(a)、(b)は本実施の形態における半導体記憶装置を示すレイアウト図、図3(a)、(b)はメモリマットの分割方法を説明するためのレイアウト図、図4(a)、(b)はメモリマットの活性化方法を説明するためのレイアウト図とヒューズ切断/機能対応説明図、図5(a)～(c)はアドレス切り替え回路のヒューズセット回路を示す回路図、図6(a)、(b)はアドレス切り替え回路を含む128M対応構成を説明するための回路図である。

【0019】まず、図1により本実施の形態の半導体記憶装置におけるブロック構成の一例を説明する。

【0020】本実施の形態の半導体記憶装置は、たとえば4バンク256M/128M互換のSDRAMとされ、4個のメモリアレイバンク1(Bank0～Bank3)と、各メモリアレイバンク1に対応するロウデコーダ2、カラムデコーダ3、およびセンスアンプ&入出力バス4と、共通のロウアドレスバッファ5、カラムア

4

ドレスバッファ6、カラムアドレスカウンタ7、リフレッシュカウンタ8、入力バッファ9、出力バッファ10、制御論理&タイミング発生器11などから構成されている。

【0021】このSDRAMには、外部からアドレス信号A0～A12、バンクアドレス信号BA0、BA1が入力され、ロウ系はアドレス信号A0～A12、バンクアドレス信号BA0、BA1がロウアドレスバッファ5を介してロウデコーダ2に、カラム系はアドレス信号A0～A8がカラムアドレスバッファ6、カラムアドレスカウンタ7を介してカラムデコーダ3にそれぞれ入力され、メモリアレイバンク1内の任意のメモリセルが選択される。書き込み時には、入力データDQ0～DQ15が入力バッファ9、センスアンプ&入出力バス4を介してメモリアレイバンク1内の選択されたメモリセルに書き込まれ、読み出し時にはメモリアレイバンク1内の選択されたメモリセルからセンスアンプ&入出力バス4、出力バッファ10を介して出力データDQ0～DQ15として読み出される。

【0022】また、このSDRAMには、制御信号として、クロック信号CLK、クロックイネーブル信号CKE、チップセレクト信号/CS、ロウアドレスストローブ信号/RAS、カラムアドレスストローブ信号/CAS、ライトイネーブル信号/WE、データマスク信号DQMU、DQMLなどが外部から入力され、これらの制御信号に基づいて制御論理&タイミング発生器11によりコマンド、内部制御信号が生成され、このコマンド、内部制御信号により内部回路の動作が制御されるようになっている。

【0023】特に、このSDRAMにおいては、256M(8192row×512column×16bit/Bank)と128M(4096row×512column×16bit/Bank)との完全互換を考えた場合に、異なる点は各メモリアレイバンク1のロウサイズが256Mでは8192、128Mでは4096というように、ロウサイズが異なるのみであり、それ以外はバンク、カラム構成とも同じである。すなわち、256Mと128Mとの完全互換は、ロウアドレスバッファ5、ロウデコーダ2などのロウアドレス発生部のみを変更できれば、256M、128Mとは同一構成とすることができる。

【0024】次に、図2によりSDRAMのレイアウト構成の一例を説明する。(a)はSDRAMのレイアウト例、(b)はメモリマットのレイアウト例をそれぞれ示す。

【0025】このSDRAMは、メモリアレイバンクBank0～Bank3(1)を構成するメモリセルアレイMCA、センスアンプSA、サブワードドライバSWD、および交差領域CAなどとともに、メインロウデコーダMRD、メインワードドライバMWD、カラムデ

ーダCD(3)、周辺回路PCなどが周知の半導体製造技術によって1個の半導体チップ上に形成されている。この図2においては、水平方向がワード線(WL)方向(ロウ方向)、垂直方向がビット線(BL)方向(カラム方向)である。

【0026】このSDRAMにおいては、図2のように、メモリチップのワード線方向における左側と右側、ビット線方向における上側と下側に4分割されてメモリアレイバンクBank 0～Bank 3が配置されている。各メモリアレイバンクBank 0～Bank 3は、さらに左側と右側に2分割され、中央側に配置されたメインワードドライバMWDを介して、中央部に配置されたメインロウデコーダMRDを挟んで対で配置されている。

【0027】また、上側と下側に配置されたメモリアレイバンクBank 0～Bank 3の外端側には、各メモリアレイバンクBank 0～Bank 3に対応するカラムデコーダCDが配置され、一方、中央部には周辺回路PCとして、前述したロウアドレスバッファ5、カラムアドレスバッファ6、カラムアドレスカウンタ7、リフレッシュカウンタ8、入力バッファ9、出力バッファ10、制御論理&タイミング発生器11などが配置され、さらに外部接続用のボンディングパッドが設けられている。

【0028】メモリアレイバンクBank 0～Bank 3は、格子状に分割されて複数のメモリマットを構成し、図2(b)に詳細に示すように、各メモリマットの中央にメモリアルレイMCAが配置され、このメモリアルレイMCAのワード線方向にサブワードドライバSWDが配置され、ビット線方向にセンスアンプSAが配置され、このセンスアンプSAとサブワードドライバSWDとの交差領域CAにはFXドライバ、センスアンプSA群の制御回路などが配置されている。このメモリアルレイMCAは、256Kビットセルからなり、このメモリアルレイMCAに対してワード線はロウ方向、ビット線はカラム方向としている。

【0029】次に、図3によりメモリアレイバンクBank 0～Bank 3のメモリマット分割方法の一例を説明する。(a)は1つのメモリアレイバンクBank 0～Bank 3に対してビット線方向を1/2に分割する例、(b)は1/4に分割する例をそれぞれ示す。256Mと128Mとの完全互換を考えた場合に、バンク単位は256Mと同じなので、その半分を動作可能単位となるようにするので、ワード線方向は128M、256Mと変わらないので、ビット線方向で1/2になるようにすることで対応可能となる。

【0030】図3(a)においては、メモリアレイバンクBank 0、Bank 1の2分割された上側のメモリマット、メモリアレイバンクBank 2、Bank 3の2分割された下側のメモリマットをそれぞれ選択して動作

可能状態としている。図3(b)では、メモリアレイバンクBank 0、Bank 1の4分割された上側から2段と4段のメモリマット、メモリアレイバンクBank 2、Bank 3の4分割された上側から1段と3段のメモリマットが動作可能状態となっている。

【0031】なお、このメモリマット分割方法においては、各メモリアレイバンクBank 0～Bank 3を1/8に分割するなど、さらに細分化することも可能であり、またメモリアレイバンクBank 0～Bank 3は独立に制御可能となっているので、各メモリアレイバンクBank 0～Bank 3において、分割された任意のメモリマットを自由な組み合わせで動作可能状態となるように選択することができる。この場合には、たとえば不良ビットがあるメモリマットが選択されることがないように任意の分割方法により任意のメモリマットを選ぶことなどが可能である。

【0032】たとえば、不良ビットの場所に応じて、図3(a)のようにメモリアレイバンクBank 0の2分割された下側のメモリマットの領域に不良ビット(×印)がある場合には、1/2の分割方法により上側のメモリマットを動作可能状態とする。また、図3(b)のように4分割された上側から1段と3段のメモリマットの領域に不良ビット(×印)がある場合には、1/4の分割方法により2段と4段のメモリマットを動作可能状態とする。さらに、たとえ選択したメモリマットに不良ビットがあっても、後述する救済回路により救済することも可能である。

【0033】次に、図4によりメモリマット活性化方法の一例を説明する。(a)はアドレス切り替え回路を構成するヒューズセット回路のレイアウト例、(b)はヒューズ切断/機能対応例をそれぞれ示す。256Mと128Mとの完全互換を考えた場合に、ヒューズの切断に対応してメモリアレイバンクBank 0～Bank 3のバンク単位で128Mの動作メモリマットを規定することが可能となっている。

【0034】図4(a)においては、前述したメモリアレイバンクBank 0～Bank 3を1/2に分割する場合を示し、各メモリアレイバンクBank 0～Bank 3の2分割されたメモリマットはX12アドレス(=アドレス信号A12)により活性化/非活性化が制御される。所望のメモリマットを活性化するためのヒューズセット回路21は、メモリアレイバンクBank 0～Bank 3毎に、ロウ冗長回路とカラム冗長回路とからなる救済回路22などとともに、メインワードドライバMWDに挟まれた領域に配置されている。各メモリアレイバンクBank 0～Bank 3のヒューズセット回路21には2つのヒューズが設けられ、各ヒューズの切断による機能は図4(b)のようになっている。

【0035】たとえば、図4(b)に示すように、ヒューズ0とヒューズ1をともに切断した場合にはX12=1

を使用する 128M 版となる。すなわち、メモリアレイバンク Bank 0, Bank 2 の 2 分割された上側のメモリマツト、メモリアレイバンク Bank 1, Bank 3 の 2 分割された下側のメモリマツトがそれぞれ活性化されて動作可能状態となる。また、ヒューズ 0 のみを切断した場合には $X12=0$ を使用する 128M 版となり、メモリアレイバンク Bank 0, Bank 2 は下側、メモリアレイバンク Bank 1, Bank 3 は上側の各メモリマツトが活性化されて動作可能状態となる。さらに、ヒューズ 0 とヒューズ 1 とのどちらも切断しない場合には、全てのメモリマツトが動作可能状態となる 256M 版となる。

【0036】なお、前述したメモリアレイバンク Bank 0 ~ Bank 3 を 1/4 に分割する場合を考えたときには、各メモリアレイバンク Bank 0 ~ Bank 3 の 4 分割されたメモリマツトは $X11$ アドレス (= アドレス信号 A11) により活性化/非活性化が制御される。さらに、細分化した 1/8 に分割する場合には、 $X10$ アドレス (= アドレス信号 A10) により活性化/非活性化を制御する。また、これらの場合のアドレス切り替え回路を構成するヒューズセット回路 21 は、1/2 に分割する場合と同様に構成される。

【0037】次に、図 5 によりアドレス切り替え回路を構成するヒューズセット回路 21 の一例を説明する。

(a) は既存のセルフリフレッシュ回路を共用する例、(b) はトリミング回路構成とする例、(c) は 64M, 32M 対応用の回路構成とする例をそれぞれ示す。

【0038】図 5 (a) に示すヒューズセット回路 21 は、ヒューズ F1、インバータ INV1 ~ INV3、PMOS トランジスタ TP1、NMOS トランジスタ TN1, TN2、セレクト SEL1 などからなり、電源電圧が立ち上がって一定となった時点で Low レベルとなる入力信号 VTUPT に基づいて、ヒューズ F1 が切断されているときは High レベル、ヒューズ F1 が切断されていないときは Low レベルにそれぞれラッチされた出力信号 OUTPUT が出力され、このヒューズ F1 の切断により出力論理が反転するように構成されている。この出力信号 OUTPUT は、後述する動作可能状態とするメモリマツトを選択するための信号として用いられる。

【0039】図 5 (b) のヒューズセット回路 21 は、ヒューズ F2、インバータ INV4 ~ INV6、PMOS トランジスタ TP2, TP3、NMOS トランジスタ TN3 ~ TN5 などから構成されている。また、図 5 (c) のヒューズセット回路 21 は、ヒューズ F3、インバータ INV7、NMOS トランジスタ TN6 ~ TN8 などから構成されている。この図 5 (b), (c) のヒューズセット回路 21 も、前記図 5 (a) のヒューズセット回路 21 と同様に、入力信号 VTUPT に基づいて出力信号 OUTPUT が出力され、ヒューズ F2 またはヒューズ F3

の切断により出力論理が反転するように構成されている。

【0040】これらの図 5 (a) ~ (c) のヒューズセット回路 21 において、たとえばトランジスタ数、新規回路としての要否を考えた場合に、トランジスタ数 (インバータは CMOS 構成による 2 個として計算) はそれぞれ 9 個、11 個、5 個となり、また新規回路としての要否はそれぞれ不要、必要、必要となる。この結果から、本実施の形態のように 256M と 128M との完全互換を考えた場合に、図 5 (a) に示すヒューズセット回路 21 が最適と判定することができる。

【0041】次に、図 6 によりアドレス切り替え回路を含む 128M 対応構成の一例を説明する。(a) は 128M 対応構成とするためのアドレス切り替え回路、(b) は 128M 対応版用のヒューズセット回路をそれぞれ示す。256M と 128M との完全互換を考えた場合に、アドレス切り替え回路は各メモリアレイバンク Bank 0 ~ Bank 3 に対して独立に持ち、256M から 128M への変換を行うことができ、この変換方法はメモリアレイバンク Bank 0 ~ Bank 3 内で独立に行うことから冗長救済効率を上げることが可能となっている。

【0042】図 6 (a) において、128M 対応構成とするためのアドレス切り替え回路 31 は、既存のロウアドレスパツファ 5 に接続される 128M 対応版用のヒューズセット回路 32 と、このヒューズセット回路 32 に接続され、このヒューズセット回路 32 の出力信号 R12T とロウアドレス信号 RADT < 12 > とのどちらかを選択するセレクト 33 と、このセレクト 33 に接続される既存のロウアドレスラッチ回路 34 などからなり、256M の既存の構成に対して、256M/128M 互換とするために 128M 対応版用のヒューズセット回路 32、セレクト 33 が追加され、さらにロウアドレスラッチ回路 34 内のラッチ回路の出力信号の接続形態が変更されているのみである。

【0043】図 6 (b) に示すように、128M 対応版用のヒューズセット回路 32 は、前述の図 5 (a) に示すヒューズセット回路 21 を 2 つ使用し、入力信号 VTUPT を共通にして、一方のヒューズセット回路 21a からは 128M 版イネーブル信号 R128ET、他方のヒューズセット回路 21b からは 128M 版時 $\times 12$ アドレス信号 R12T がそれぞれ出力される。そして、セレクト 33 において、128M 版イネーブル信号 R128ET に基づいて制御し、128M 版イネーブル信号 R128ET が活性化されている時は 128M 版時 $\times 12$ アドレス信号 R12T、非活性化時には 256M 版時ロウアドレス信号 RADT < 12 > がそれぞれ選択され、ロウアドレス信号 RADB < 12 > として出力される。

【0044】さらに、ロウアドレス信号 RADB < 12 > は、ロウアドレスラッチ回路 34 内のロウ系イネーブル信号 RXAEB 信号により制御されるラッチ回路 35

に☐入力され、ツルー／バーのロウアドレス信号RAT<12>、RAB<12>が発生され、それぞれロウ系イネーブル信号RXAEB、およびテストモード信号と論理和ゲートOR1、OR2、否定論理積ゲートNAND1、NAND2、およびインバータINV8～INV11により論理演算され、ロウアドレス信号RABT<12>、RATT<12>として出力される。このアドレス切り替え回路31のロウアドレス信号RABT<12>、RATT<12>の出力に基づいて、通常動作するメモリマツトを前記図3に示すメモリマツト分割方法により固定することができる。

【0045】以降は、ロウアドレスラッチ回路34に接続されるロウ冗長回路、メモリマツト選択回路などからなる救済回路22において、アドレス切り替え回路31により選択された通常動作するメモリマツト内の不良ビットを非選択のメモリマツト内の冗長ビットに置換して救済することができる。この救済するメモリマツトは、通常動作するメモリマツトが固定されるのに対して非固定となっている。

【0046】すなわち、メモリマツト分割方法に基づいて選択された通常動作するメモリマツトに不良ビットがある場合には、救済回路22を構成するヒューズセット回路などに不良ビットアドレスをプログラムし、アドレス比較回路により入力されたアドレスと不良ビットアドレスとを比較して、一致しない場合には入力アドレスにより通常動作するメモリマツト内の正規のメモリセルを選択し、一方、一致した場合には、入力アドレスに対応した冗長ビットアドレスにより、通常動作において非選択のメモリマツト内の冗長用のメモリセルを選択する。これにより、通常動作するメモリマツトを選択した上で、さらに不良ビットに関しては救済回路22で冗長ビットに置き換えて救済することができる。

【0047】たとえば、前記図3(a)において、メモリアレイバンクBank0の上側のメモリマツトが通常動作するように選択された際に、この上側のメモリマツトに不良ビット(△印)が検出されている場合には、この不良ビットを、通常動作するように選択されていない下側のメモリマツトの冗長ビット(○印)に置き換えて救済を行う。また、前記図3(b)において、メモリアレイバンクBank0の上側から2段と4段のメモリマツトが通常動作するように選択された際に、この2段と4段のメモリマツトに不良ビット(△印)が検出されている場合には、この不良ビットを、1段、3段、または1段と3段のいずれか(図においては1段と3段)のメモリマツトの冗長ビット(○印)に置き換えて救済を行う。

【0048】従って、本実施の形態の半導体記憶装置によれば、128M対応版用のヒューズセット回路32、セレクト33、およびロウアドレスラッチ回路34などからなるアドレス切り替え回路31を救済回路22の前段に設けることにより、救済回路22による救済効率を

落とすことなく、256Mと128Mとを任意に切り替えることができるので、1チップで実効的な容量を可変することができる。これにより、同一チップから複数の容量・語構成の製品を生産することができるので、総合的な歩留まりが向上する。

【0049】特に、128MSDRAMにおいては、救済線が256Mと同じだけ使用することができるため、128MSDRAM単体よりも救済効率が良くなる。また、マスク、プローブ検査用治工具／テスト項目などを共通化することにより、別々に製品を製造していくのに対して製造コスト、テスト時間を少なくすることができる。この結果、開発、製造コストの低減、および小容量品としての救済効率を向上させることができる。

【0050】すなわち、今までのSDRAM製品の開発は、容量を共有することがなく、個々に開発することにより開発製造に関わるコスト期間が独立に存在する。しかし、128M／256Mのようにパッケージサイズ、リフレッシュアドレスサイズ(一度にリフレッシュされるビット数)が同じ場合は、本実施の形態のように冗長方式などの大幅な回路変更を伴わずに、最上位のロウ系アドレスを固定することのみだけで128MSDRAMに変更することができる。その結果、開発期間、試験時間の大幅短縮、および開発・製造コストの低減を図ることができる。

【0051】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0052】たとえば、前記実施の形態においては、4バンク256M／128M互換のSDRAMに適用した場合について説明したが、これに限定されるものではなく、2バンクや、8バンク、さらに多バンク化の傾向にあり、また16M／8M、64M／32M互換や、512M／256M、1G／512M互換、さらに大容量化の傾向にあるSDRAMについても広く適用可能であり、このように多バンク、大容量の構成とすることにより本発明の効果はますます大きくなる。

【0053】また、図3に示すメモリマツト分割方法、図4に示すメモリマツト活性化方法、図5に示すヒューズセット回路などについては、種々の変形が可能であることはいうまでもない。

【0054】以上の説明では、主として本発明者によってなされた発明をその属する技術分野であるSDRAMに適用した場合について説明したが、これに限定されるものではなく、DRAM、SRAMや、さらにDRAM／論理混載を含む半導体記憶装置の製品全般に広く適用可能である。

【0055】

【発明の効果】本願において開示される発明のうち、代

表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0056】(1). 救済回路の前段に、分割された複数のメモリマットのうち動作可能状態とするメモリマットを選択する専用のアドレス切り替え回路を有することで、救済効率を落とすことなく、1チップで実効的な容量・語構成の製品を生産することが可能となる。

【0057】(2). 前記(1)により、マスク、プローブ検査用治工具／テスト項目などを共通化することができるので、製造コスト、テスト時間を少なくすることが可能となる。

【0058】(3). 前記(1)において、256M/128M互換などのように、小容量の半導体記憶装置においては、救済線が大容量の半導体記憶装置と同じだけ使用することができるので、小容量の半導体記憶装置単体よりも救済効率を向上させることが可能となる。

【0059】(4). 前記(1)～(3)により、分割された複数のメモリマット構成の半導体記憶装置において、開発期間、試験時間の大幅短縮、開発・製造コストの低減、および小容量品としての救済効率向上による歩留まりの向上、さらに総合的な歩留まりの向上を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体記憶装置を示すブロック図である。

【図2】(a), (b) は本発明の一実施の形態における半導体記憶装置を示すレイアウト図である。

【図3】(a), (b) は本発明の一実施の形態において、メモリマットの分割方法を説明するためのレイアウト図である。

【図4】(a), (b) は本発明の一実施の形態において、メモリマットの活性化方法を説明するためのレイアウト図とヒューズ切断／機能対応説明図である。

【図5】(a)～(c) は本発明の一実施の形態において、アドレス切り替え回路のヒューズセット回路を示す回路図である。

【図6】(a), (b) は本発明の一実施の形態において、アドレス切り替え回路を含む128M対応構成を説明するための回路図である。

【図7】本発明の前提となる半導体記憶装置において、

256MSDRAMパッケージのピン配置を示す平面図である。

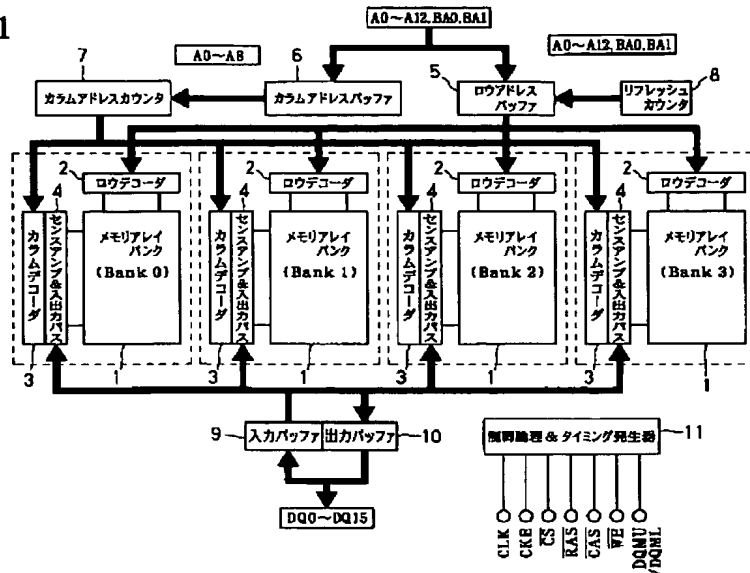
【図8】本発明の前提となる半導体記憶装置において、128MSDRAMパッケージのピン配置を示す平面図である。

【符号の説明】

- 1 メモリアレイバンク
- 2 ロウデコーダ
- 3 カラムデコーダ
- 10 4 センスアンプ&入出力バス
- 5 ロウアドレスバッファ
- 6 カラムアドレスバッファ
- 7 カラムアドレスカウンタ
- 8 リフレッシュカウンタ
- 9 入力バッファ
- 10 出力バッファ
- 11 制御論理&タイミング発生器
- 21, 21a, 22b ヒューズセット回路
- 22 救済回路
- 20 31 アドレス切り替え回路
- 32 ヒューズセット回路
- 33 セレクタ
- 34 ロウアドレスラッチ回路
- 35 ラッチ回路
- Bank 0～Bank 3 メモリアレイバンク
- MCA メモリセルアレイ
- SA センスアンプ
- SWD サブワードドライバ
- CA 交差領域
- 30 MRD メインロウデコーダ
- MWD メインワードドライバ
- CD カラムデコーダ
- PC 周辺回路
- F1～F3 ヒューズ
- INV1～INV11 インバータ
- TP1～TP3 PMOSトランジスタ
- TN1～TN8 NMOSトランジスタ
- SEL1 セレクタ
- OR1, OR2 論理和ゲート
- 40 NAND1, NAND2 否定論理積ゲート

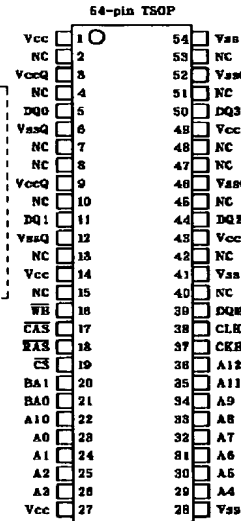
【図 1】

図 1



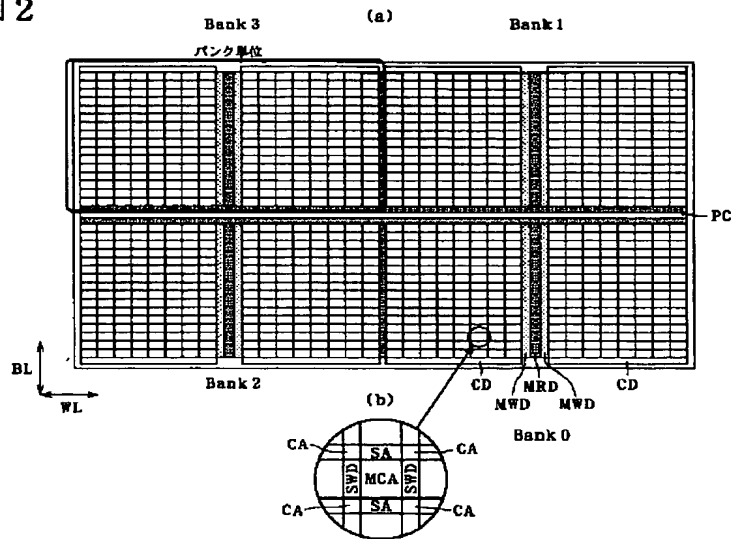
【図 7】

図 7



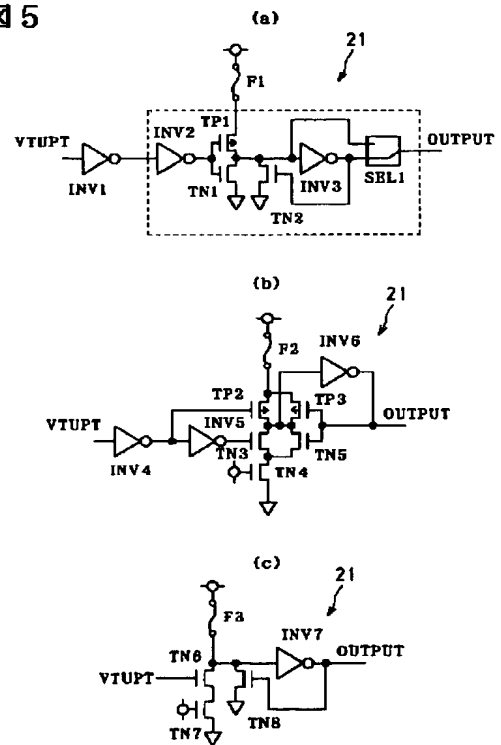
【図 2】

図 2



【図 5】

図 5



フロントページの続き

(72)発明者 田中 洋介

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72)発明者 和田 省治

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 梶谷 一彦

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

Fターム(参考) 5B015 KA28 KA38 KB45 NN09 PP01
QQ15

5B024 AA15 BA13 BA18 CA07 CA16

5L106 AA01 AA02 CC02 CC11 CC16

CC17 CC21 CC31